

## Patent Abstracts of Japan

PUBLICATION NUMBER : 57102067  
 PUBLICATION DATE : 24-06-82

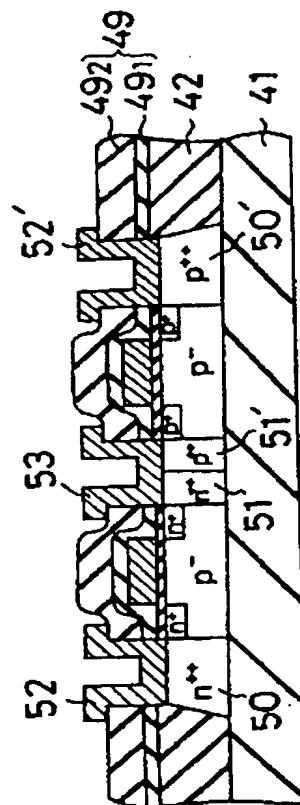
APPLICATION DATE : 17-12-80  
 APPLICATION NUMBER : 55178417

APPLICANT : TOSHIBA CORP;

INVENTOR : KIMURA MINORU;

INT.CL. : H01L 27/08 H01L 29/78

TITLE : MANUFACTURE OF  
 COMPLEMENTARY TYPE METAL  
 OXIDE SEMICONDUCTOR



ABSTRACT : PURPOSE: To prevent the decrease of effective channel length by forming a source region and a drain region so that they are shallow near a channel region and are deep at a section parting from the channel region.

CONSTITUTION: The source and drain regions in an N-MOSFET and a P- MOSFET are shaped shallowly near the channel regions. On the other hand, contact regions 50, 51, 50', 51' having deep diffusion depth, which reach a sapphire substrate 41, are formed under source electrodes 52, 52' and a drain electrode 53. Accordingly, the decrease of the effective channel length is prevented while wiring resistance is minimized and the operating property at high speed of an element is maintained, and leakage currents through a P<sup>+</sup> type substrate region are prevented.

COPYRIGHT: (C)1982,JPO&Japio

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開  
 ⑪ 公開特許公報 (A) 昭57-102067

⑫ Int. Cl. 3  
 H 01 L 27/08  
 29/78

識別記号

序内整理番号  
 6426-5F  
 7377-5F

⑬ 公開 昭和57年(1982)6月24日  
 発明の数 1  
 審査請求 未請求

(全10頁)

## ⑭ 相補型MOS半導体装置の製造方法

京芝浦電気株式会社総合研究所  
内

⑮ 特願 昭55-178417  
 ⑯ 出願 昭55(1980)12月17日  
 ⑰ 発明者 木村実  
 川崎市幸区小向東芝町1番地東

⑮ 出願人 東京芝浦電気株式会社  
 川崎市幸区堀川町72番地  
 ⑯ 代理人 弁理士 鈴江武彦 外2名

## 明 詳 稽

## 1. 発明の名称

相補型MOS半導体装置の製造方法

## 2. 特許請求の範囲

(1) Pチャンネルトランジスタ用およびNチャンネルトランジスタ用の活性領域を備えた半導体基板に高分子分散を施す工程と、両活性領域のチャンネル領域平坦部上にゲート電極膜を介してゲート電極を形成する工程と、一方の活性領域を複数レジストパターンを形成した後、或レジストパターンおよび他方の活性領域上のゲート電極をマスクとして不純物ドーピングを交互に行なうことにより、NチャンネルトランジスタおよびPチャンネルトランジスタの複数ソースおよびドレイン領域を形成する工程と、全面に遮断部膜を形成する工程と、Nチャンネルトランジスタにおけるソース領域およびドレイン領域のチャンネル領域とは反対側の部分上の遮断部膜に選択的にコンタクトホールを開孔した後、この

層間絕縁膜をマスクとしてN型不純物の高濃度ドーピングを行なつて、コンタクトホール下に遮断部膜の深いコンタクト領域を形成する工程と、Pチャンネルトランジスタにおけるソース領域およびドレイン領域のチャンネル領域とは反対側の部分上に遮断エントランクによりコンタクトホールを開孔した後、少なくともNチャンネルトランジスタ部分上に遮断エントランクを使用したレジストパターンを形成した状態でP型不純物の高濃度ドーピングを行なつてコンタクトホール下に遮断部膜の深いコンタクト領域を形成する工程と、遮断材料層を全面に遮断した後、これをバターンエンゲルすることにより、コンタクトホールを介してNチャンネルトランジスタおよびPチャンネルトランジスタにおける前記コンタクト領域とオーミック接続したソース電極およびドレイン電極を形成する工程とを共用したことを特徴とする相補型MOS半導体装置の製造方法。

(2) ポチヤンネルトランジスタ用およびリチヤンネルトランジスタ用の活性領域を離れた半導体基板として、絶縁基板上に半導体層を形成した基板であることを特徴とする特許請求の範囲第(1)項記載の相補型MOS半導体装置の製造方法。

(3) ポチヤンネルトランジスタ用およびリチヤンネル用トランジスタのドレイン領域における拡散深さの深いコンタクト領域が一部重なり合っていることを特徴とする特許請求の範囲第(2)項記載の相補型MOS半導体装置の製造方法。

(4) 拡散深さの深いコンタクト領域を形成するための不純物ドーピング法としてイオン注入法を用いたことを特徴とする特許請求の範囲第(1)項乃至第(3)項の何れか1項記載の相補型MOS半導体装置の製造方法。

### 3.発明の詳細を説明

本発明は相補型MOS半導体装置の製造方法に関する。

3

はゲート酸化膜 $g$ を介してゲート電極 $g$ が形成されている。これを $p$ 型の活性領域と $n$ 型の活性領域との境界には、通常、図示しない裏子分離用のフィールド酸化膜が形成されていく。

ところで、上記構造からなるC-MOSの動作速度を高速化する観点からは配線抵抗ができるだけ小さくする必要があり、そのためにはソース領域 $s$ 、 $d$ およびドレイン領域 $d$ の不純物濃度を高く、また拡散深さを深くしなければならない。ところが、不純物の拡散は一般式等方的であるから拡散深さを大きくすれば西方向の拡散長も大きくなり、ソースおよびドレイン領域がゲート電極下に侵入して形成される結果、実効チャンネル長が設計値よりも短くなってしまう。この実効チャンネル長の減少は電子が微細化されるほどその比率が高くなり、チャンネルのショート化など電子の信頼性を低下する原因となる。そこで電子の微細化が高まることに従い、実効チ

### 特開昭57-102007(2)

ポチヤンネルMOSトランジスタ(以下P-MOSFETという)およびリチヤンネルMOSトランジスタ(以下N-MOSFETという)からなる相補型MOS半導体装置(以下C-MOSという)は消費電力が小さく、またノイズマージンが大きい等の利点を有することからJCMモリ等の集積回路として広く用いられている。

図1図は上記C-MOSの1例を示す断面図である。周囲においては $p$ 型シリコン基板である。該シリコン基板上には $p$ 型ウエル領域 $p$ が形成されている。この $p$ 型ウエル領域の表面はN-MOSFET用の活性領域であり、 $p^+$ 型のソース領域 $s$ およびドレイン領域 $d$ が形成され、そのチャンネル領域上にはS1O<sub>x</sub>からなるゲート酸化膜 $g$ を介して多晶シリコンからなるゲート電極 $g$ が形成されている。一方、シリコン基板の $n$ 型表面はP-MOS用の活性領域であり、 $p^+$ 型のソース領域 $s$ およびドレイン領域 $d$ が形成され、そのチャンネル領域上に

4

チャンネル長の減少を防止するため、第2図に示すように拡散深さの深いソース領域 $s$ 、 $d$ およびドレイン領域 $s$ 、 $d$ が形成されるようになった。しかし、この場合には当然ながら電子の動作速度を犠牲にせざるを得ず、更に、サファイア基板上のシリコン層に電子を形成したSOS構造(Silicon on Sapphire)のC-MOS(以下SOS/C-MOSという)ではそれ以外に次のような問題が生じる。

SOS/C-MOSでは例えば第3図に示すようにサファイア基板上に開口をフィールド酸化膜 $f$ で絶縁された島状の電子領域にN-MOSFETおよびP-MOSFETが形成されている。周囲において、 $1s$ 、 $1d$ はソース領域、 $1i$ 、 $1g$ はドレイン領域、 $1s$ 、 $1d$ はゲート酸化膜、 $1i$ 、 $1g$ はゲート電極である。図示のように、SOS/C-MOSではN-MOSFETとP-MOSFETとは両者のドレイン領域 $1d$ 、 $1g$ のPN結合によって互いに分離された構造になつてている。従つ

5

-320-

6

て、第4図に示すようにサファイア基板上に形成しないソース領域14、15およびドレイン領域16、17を形成すると、P-MOSFETのp<sup>+</sup>型ドレイン領域17とn<sup>-</sup>型の源領域14との間は同導電型となるため、両者の間では電気的な分離が達成されない。このようなSOS/C-MOSにおいて、N-MOSFETのソース領域14をアース電位に接続してP-MOSFETのソース領域14に電源電位を印加する一方、ゲート電極16、17に入力電圧を加えてドレイン領域17、18の共通電極から出力を取出すことによりインバータ動作を行なつた場合、P-MOSFETがON状態でN-MOSFETがOFF状態であるにもかかわらず、N-MOSFETが次のようなリード電流が流れれる。即ち、P-MOSFETのソース領域14およびドレイン領域17から同導電型のp<sup>-</sup>型源領域14を経由した電流は基板領域19と組バイアスに接続しているN-MOSFETのソース領域14に流れてしまう。この

?

電流21、22を形成する。引き続き、P-MOSFETの予定領域上に選択的熱レジストバターン23を形成した後、該レジストバターン23、およびゲート電極16をマスクとして既製のイオン注入を行ないN-MOSFETにおけるp<sup>+</sup>型の浅いソース領域20およびドレイン領域21を形成する(第5図(a)図示)。

このとき、ソースおよびドレイン領域20、21のゲート電極下への注入による尖効チャネル長の減少は防止されるが、両領域20、21はサファイア基板21には到達しない。

(b) 次に、レジストバターン23を除去した後、新たにN-MOSFET上を熱レジストバターン23を形成する。既いて該レジストバターン23、およびゲート電極16をマスクとしてポロニウムイオン注入し、P-MOSFETにおけるp<sup>+</sup>型の浅いソース領域20およびドレイン領域21を形成する(同図(b)図示)。

9

## 特開昭57-102867(3)

リード電流によりインバータ機能は著しく劣化する。

以上述べたように、C-MOSには相容れない二相流の問題がある。第1は突効チャネル長減少の問題であり、第2は動作速度に影響する配線抵抗の問題およびSOS/C-MOSにおけるリード電流の問題である。そこで、本論出願人はこの両者を同時に解決する為に、チャネル領域近傍では浅く、複数とのコンタクト部分では深い階級状のソース領域およびドレイン領域を形成したC-MOSを提案した。このような構造からなるSOS/C-MOSの製造方法を第5図(a)～(c)を参照して説明する。

(i) まず、サファイア基板21上に周囲をフィールド酸化膜22で施設されたp<sup>-</sup>型シリコン層からなる島状の素子領域を形成し、該素子領域の表面を酸化膜してゲート酸化膜となるSiO<sub>2</sub>膜23を形成した後、N-MOSFETおよびP-MOSFETのチャネル領域予定部上に多結晶シリコンからなるゲート

8

(ii) 次に、フォトレジスト膜25を除去した後、P-MOSFET領域およびN-MOSFETのゲート電極24近傍を熱ラレジストバターン25を形成する。既いて、該レジストバターン25をマスクとして既製の高濃度イオン注入を行ない、N-MOSFETにおけるソース領域26およびドレイン領域27のチャネル領域とは反対側の部分にサファイア基板21に接する拡散深度の深いp<sup>+</sup>型コンタクト領域28、29を形成する(同図c図示)。

(iii) 次に、レジストバターン25を除去した後、今度はN-MOSFET領域およびP-MOSFETのゲート電極24近傍を熱ラレジストバターン25を形成する。既いて、該レジストバターン25をマスクとしてボロニウムイオン注入を行ない、P-MOSFETにおけるソース領域26およびドレイン領域27のチャネル領域とは反対側の部分にサファイア基板21に接する拡散領域

の深いP<sup>++</sup>型コンタクト領域28'、29'を形成する(同図(d)図示)。

(iv) 次に、レジストバターン25'を除去し、全面P<sub>N</sub>と10'からなる層間絕縁膜30'を形成した後、フォトエッチングによりN-MOSFETおよびP-MOSFETのコンタクト領域28'、28'、29'、29'上にコンタクトホールを開口する。その際、コンタクト領域28'、29'上には共通のコンタクトホールを開口する。既て、アルミニウムの蒸着およびバクシニングを行ない、N-MOSFETのソース電極31'およびP-MOSFETのソース電極31'、並びに両者共通のドレイン電極32'を形成する(同図(e)図示)。

上述の製造方法により製造されたSOS/C-MOSでは、N-MOSFETおよびP-MOSFETとともにチャンネル領域近傍では抵抗率の高いソース電極28'、29'、28'、29'が形成されているため、実効チャンネル幅の減少は有効に防止されている。他方、各ソ-

11

ドーピング工程を必要とし、そのため不純物ドーピングに対するレジストマスクを形成するための光露刻工程(Photo Engraving Process:以下PEPといふ)の回数が増加するからである。PEPの回数が増大すればそれに伴つてマスク合わせ誤差の生じる確率も増大し、電子特性の劣化を招くことにもなる。この観点から上述のSOS/C-MOSの製造方法を検討してみると、通常のC-MOS製造の場合に比較して、抵抗率の深いP不純物層のコンタクト領域28'、29'、28'、29'を形成するための工程、即ち工程側および工程側だけ余分の工程が必要とされ、しかも、工程側および工程側の両者において、複数レジストバターン25'、25'を形成するためPEPが必要される。このことから、上述のSOS/C-MOSの製造方法が如何に複雑な製造工程を必要とするかが理解されよう。因みに、上述の製造方法において、ゲート電極24'、24'を形成した後、第5図(e)の状態のSOS/C-MOSを形成するた

特開昭57-102067(4)

スおよびドレイン領域のチャンネル領域とは反対側の部分には抵抗率の深い高抵抗のコンタクト領域が形成されているから接触抵抗は小さく、從つて動作速度の高速化を達成することができる。更に、各コンタクト領域28'、28'、29'、29'はサファイア基板21'に刻通して形成され、N-MOSFETとP-MOSFETとは両者のドレイン領域におけるコンタクト領域28'、29'間で高抵抗のPN結合によって完全に分離されており、從つて前述のようなりーク電流も発生しない。

さて、こうしてC-MOSにおいて二種相反する問題とされていた二種類の問題は解決されることとなつたが、他方、その製造法の上で新たな問題を生じている。第1の問題は製造工程が複雑化することである。周知のように、C-MOSの製造には他のMOS型半導体製造の製造よりも複雑な工程が必要とされるが、これはN-MOSFETおよびP-MOSFETのソース、ドレインを形成するために別々の不純物

12

が必要とされるPEPの回数は、不純物ドーピングに対するマスクであるレジストバターン25'～25'を形成するための4回のPEPと、コンタクトホールの形成のための露光エッチングおよびAID隔離31'、31'、32'のバターンニングのための露光エッチングに天々付随する2回のPEPとを合せて計6回のPEPが必要である。

第2の問題は、コンタクト領域28'、29'を形成するために強度の高抵抗イオン注入を行なう際、マスクとして使用したレジストバターン25'が変性して通常のSI焼却液(強度:過酸化水素=3:1)では除去されなくなり、レジストバターン25'を除去するため溶解方法を必须とすることである。この問題はポロンの高抵抗イオン注入によりコンタクト領域28'、29'を形成する際のレジストバターン25'にも生じ得るが、この場合はポロンの加熱電圧を調節することによりこの問題を回避することが可能である。

13

-322-

14

第3の問題は高濃度イオン注入時における基板の損傷上昇により、マスクであるレジストパターン②③、または②④が形成れを起こし、その結果、不純物ドーピングの損傷が小さくなつて装置の信頼性が低下する現れも生じることである。

本発明は以上述べた事情に鑑みて生されたものであり、N-MOSFETおよびP-MOSFETのソース領域およびドレイン領域をチャンネル領域近傍では浅く、またチャンネル領域から離れた部分では深く形成したC-MOSを製造するに際し、従来の製造方法よりもP-E-Pの回数が1回少なくてすみ、高濃度イオン注入によるレジストパターンの変性を回避し得、更にレジストパターンの形成による装置の信頼性低下をも抑制し得る柵補型MOS半導体装置の製造方法を提供するものである。

即ち、本発明は、Pチャンネルトランジスタ用およびNチャンネルトランジスタ用の活性領域を備えた半導体基体に電子分離を施す工程と

15

上に塗装エッチングに使用したレジストパターンを残置した状態でP型不純物の高濃度ドーピングを行つてコンタクトホール下に鉛版領域の深いコンタクト領域を形成する工程と、電極材料層を全面に被覆した後、これをバーナーイングすることにより、コンタクトホールを介してカチャンネルトランジスタおよびNチャンネルトランジスタにおける前記コンタクト領域とオーバーオーバー接続したソース領域およびドレイン領域を形成する工程とを具備したことを特徴とする柵補型MOS半導体装置の製造方法である。

本発明におけるPチャンネルトランジスタ用およびNチャンネルトランジスタ用の活性領域を備えた半導体基体としては、Si、Ge、GaAs等の半導体物質からなる一導電型の半導体基板に逆導電型のクエル領域を形成した基体を用いることができる。この半導体基板に電子分離を施す方法としては、基板表面における各活性領域の境界部分を選択酸化してフィールド酸化膜を形成する方法を用いることができる。また前

特開昭57-102067(5)

同活性領域のチャンネル領域予定部上にゲート電極膜を介してゲート電極を形成する工程と、一方の活性領域を残してレジストパターンを形成した後、該レジストパターンおよび他方の活性領域上のゲート電極をマスクとして不純物ドーピングを交互に行なうことにより、カチャンネルトランジスタおよびNチャンネルトランジスタの複数ソースおよびドレイン領域を形成する工程と、片面に層間絕縁膜を形成する工程と、Nチャンネルトランジスタにおけるソース領域およびドレイン領域のチャンネル領域とは反対側の部分上の層間絕縁膜に選択的にコンタクトホールを開孔した後、この層間絕縁膜をマスクとしてP型不純物の高濃度ドーピングを行なつてコンタクトホール下に塗装膜の深いコンタクト領域を形成する工程と、Pチャンネルトランジスタにおけるソース領域およびドレイン領域のチャンネル領域とは反対側の部分上に選択エッチングによりコンタクトホールを開孔した後、少なくともNチャンネルトランジスタ部分

16

配半導体基体としてサファイア、スピネル、ガーネット等の絶縁基板上に前記半導体物質からなる半導体層を形成した基体を用いることもできる。この場合には絶縁基板上の半導体層のうち電子領域以外の部分を選択酸化により、フィールド酸化膜に転化するか、成いは塗装エッチングにより除去して開口が形成された島状の電子領域を分離する。この電子分離法によつて分離された島状の電子領域は不純物濃度の低い一導電型であつてもよく、またP型およびN型の両領域からなつていててもよい。何れの場合にもこの電子領域にはN-MOSFETおよびP-MOSFETの両者が形成される。

本発明における層間絶縁膜としては、半導体の酸化膜または強化膜とPSG(焼成加SiO<sub>2</sub>ガラス膜)またはBPSG(ボロン、焼成加SiO<sub>2</sub>ガラス膜)との複合膜を用いることが望ましい。これはPSG、BPSGが低価で成長可能であり、電子領域に影響を与えることなく不純物ドーピングのマスクとして充分な保護を

17

-323-

18

持ることができるからである。しかし、これ以外にも不純物ドーピングに対するマスクとして使用し得るものであれば他の種類の間接遮断層を用いてもよい。

以下第6回(A)～(D)を参照して、本発明をSO<sub>8</sub>/C-MOSの製造に適用した実験例を説明する。

(A) まず、サファイア基板11上にP<sup>+</sup>型のエピタキシャルシリコン層を成長させ、該エピタキシャルシリコン層に選択酸化を施すことにより周囲をフィールド酸化膜12で囲まれた島状のP<sup>+</sup>型素子領域13を形成する(第6回(A)図示)。

(B) 次に、第6回(A)の表面を熱酸化してゲート酸化膜となるSiO<sub>2</sub>膜14を形成する。続いてCVD法により全面に多結晶シリコン層を取扱した後、これを選択エッチングすることによりN-MOSFETおよびP-MOSFETのチャネル領域予定部上にゲート電極15、16を形成する(第6回(B)図示)。

19

(C) 次に、選択エッチングによりN-MOSFETにおけるソース電極17およびドレイン電極18のチャネル領域とは反対側の部分上にコンタクトホールを開孔する。続いて、選択エッチング用いたレジストパターンを除去した後、周間酸化膜19をマスクとして該を加速電圧150KV、ドーズ量 $5 \times 10^{14}/cm^2$ の条件でイオン注入し、コンタクトホール下にP<sup>++</sup>型の深いコンタクト領域19、20を形成する(第6回(C)図示)。

このとき、P<sup>++</sup>型のコンタクト領域19、20はコンタクトホールに対して自己整合で、かつサファイア基板11に到達して形成される。

(D) 次に、レジストパターン16を用いた選択エッチングによりP-MOSFET上におけるソース電極21およびドレイン電極22のチャネル領域とは反対側の部分上にコンタクトホールを開孔する(第6回(D)図示)。

続いて、P-MOSFET上のレジストバ

特開昭57-102067(6)

(E) 次に、P-MOSFET領域上にレジストパターン16を形成した後、該レジストパターン16およびゲート電極15をマスクとして該を加速電圧60KV、ドーズ量 $1 \times 10^{14}/cm^2$ の条件下でイオン注入してN-MOSFETにおけるP<sup>+</sup>型の深いソース領域17およびドレイン領域18を形成する(第6回(E)図示)。

(F) 次に、N-MOSFET領域上を残りレジストパターン16を形成した後、該レジストパターン16およびゲート電極16をマスクとしてボロンを加速電圧30KV、ドーズ量 $8 \times 10^{14}/cm^2$ の条件下でイオン注入し、P-MOSFETにおけるP<sup>+</sup>型の深いソース領域17およびドレイン領域18を形成する(第6回(F)図示)。

(G) 次に、全面にCVD SiO<sub>2</sub>膜14、およびBPSG膜(ボロン、焼成加SiO<sub>2</sub>ガラス膜)14を順次堆積し、これらの積層体からなる周間酸化膜19を形成する(第6回(G)図示)。

20

ターン16、部分を除去した後、N-MOSFET上に強酸したレジストパターン16、およびP-MOSFET上の周間酸化膜19をマスクとしてボロンを加速電圧100KV、ドーズ量 $5 \times 10^{14}/cm^2$ の条件下でイオン注入し、コンタクトホール下にP<sup>++</sup>型の深いコンタクト領域19、20、21を形成する(第6回(H)図示)。

このとき、P<sup>++</sup>型のコンタクト領域19、20はコンタクトホールに対して自己整合で、かつサファイア基板11に到達して形成される。

(I) 次に、N-MOSFET上のレジストパターン16を除去する。この状態で既にコンタクトホールが開孔されているから、続いてアルミニウムの蒸着およびバーンニングを行ない、N-MOSFETのソース電極23、P-MOSFETのソース電極24および两者共通のドレイン電極23を形成してSO<sub>8</sub>/C-MOSを得る(第6回(I)図示)。

21

-324-

22

上記実施例によれば、N-MOSFETおよびP-MOSFETにおけるソースおよびドレイン領域をチャンネル領域近傍で浅く形成する一方、ソース領域およびドレイン領域の下方にはサファイア基板に到達した拡散領域の深いコンタクト領域S0, S1, S0', S1'を形成することにより、異効チャンネル効の減少を防止すると共に、配線抵抗を小さくして電子の高速動作性を維持し、かつリード端の基板領域を介したリード電極を防止し得るSOS/C-MOSを製造できることが明らかである。

そこで、次に上記実施例において、ゲート電極S1, S1'を形成した後、Aを掩蔽S2, S3, S3'を形成するまでの工程（工程（Ⅲ）～工程（Ⅶ））でPEPが何回必要であるかを検討すると、下記の通り5回のPEPが必要である。即ち、

（1）工程（Ⅲ）においてN-MOSFETにおけるリード端の浅いソース領域S1'およびドレイン領域S1'を形成するに際し、硅素のイオン

23

既述したように、従来の製造方法においてはゲート電極形成後に6回のPEPが必要とされていたから、上記実施例の方法によれば、従来の製造方法よりもPEPの回数を1回少なくすることができます。

また、上記実施例の方法では、N-MOSFETにおける拡散領域の深いリード端のコンタクト領域を形成する前に、構の高濃度イオン注入のマスクとしてレジストパターンを用いず、層間絕縁膜S2'を用いているから、従来法のようPCMマスクとして用いたレジストパターンが変性して通常の処理では除去できなくなるといった問題を回避することができる。加えて、層間絕縁膜としてCVD-SiO<sub>2</sub>膜イタリとBPSG膜S1'などの試験膜を用いた上記実施例では、高濃度イオン注入に対するマスクとして充分な膜厚を低コストの可能なBPSG膜で形成しているため、層間絕縁膜の形成時の高熱によりサファイア基板から電子領域にアルミニウムがアクトダイフュージョンする等の問題をも抑制す

特開昭57-102067(7)

注入に対するマスクとしてレジストパターンS6'を形成するためのPEP。

（2）工程（Ⅳ）において、P-MOSFETにおいてリード端の浅いソース領域S1'およびドレイン領域を形成するに際し、ボロンのイオン注入に対するマスクとしてレジストパターンS6'を形成するためのPEP。

（3）工程（Ⅵ）において、過剰エッチングによりN-MOSFET部分にコンタクトホールを開孔するに際し、エッチングのマスクとして用いるレジストパターンを形成するためのPEP。

（4）工程（Ⅶ）において、P-MOSFET部分にコンタクトホールを開孔するためのエッチングマスクであるレジストパターンS6'を形成するためのPEP。

（5）工程（Ⅷ）において、Aを掩蔽S2, S3, S3'をパターンニングするために過剰エッチングのマスクとしてレジストパターンを形成するためのPEP。

24

ることができる。

更に上記実施例によれば、高濃度イオン注入時の基体融解の上昇によりレジストのマスクパターンが崩壊して電子の濃度が低下するという従来法における問題も著しく改善される。即ち、構の高濃度イオン注入にはマスクとしてレジストパターンを使用しないからこの問題が生じる余地はなく、またボロンの高濃度イオン注入においても第6回目に示すようICP-MOSFET上のレジストパターンS6'を除去して行なうから、レジストパターンS6'の崩壊による影響を最小限に抑えることができる。

なお、上記実施例では工程（Ⅷ）におけるボロンの高濃度イオン注入に際してP-MOSFET上のレジストパターンS6'を除去して行なつたが、これを除去せずに第6回目に示す状態でイオン注入を行なつた場合にも本発明における主要効果を有することができる。

また、SOS/C-MOSではN-MOSFETおよびP-MOSFETのドレイン領域が

25

-325-

26

特許第57-102067 (8)

完全なP-N結合を形成していることが必要であるから、これを保証するために、上記実施例において、両トランジスタのドレイン側のコンタクト領域<sup>5, 5'</sup>、<sup>5, 5'</sup>の一部が相互に重なるようIC、供給およびボロンの高濃度イオン注入を行なうのが望ましい。

以上詳述したように、本発明によれば、N-MOSFETおよびP-MOSFETのソース領域およびドレイン領域をチャンネル領域近傍では浅く、またチャンネル領域から離れた部分では深く形成することにより実効チャンネル長の減少を防止すると共に電子の高速動作性を維持した複数型MOS半導体装置を製造するに臻し、従来の製造方法よりもPEPの回数が1回少なくてすみ、かつ高濃度イオン注入によるレジストパターンの変性を防止し得、更にレジストパターンの形崩れによる接觸の信頼性低下をも抑制し得る複数型MOS半導体装置の製造方法を提供できるものである。

27

バーン、<sup>12</sup>、<sup>13</sup>、<sup>14</sup>…ソース領域、<sup>18</sup>、<sup>18'</sup>…ドレイン領域、<sup>19</sup>…層間絶縁膜、<sup>19</sup>…CVD-SiO<sub>2</sub>膜、<sup>19'</sup>…BPSG膜、<sup>50</sup>、<sup>50'</sup>、<sup>51</sup>、<sup>51'</sup>…コンタクト領域、<sup>52</sup>、<sup>52'</sup>…ソース電極、<sup>53</sup>…ドレイン電極

出願人代理人 井理士 鮎 江 美 感

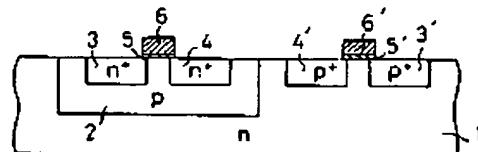
## 4. 四面の簡単な説明

第1図および第2図はN型シリコン基板上にP型ウエルを形成した基体を用いたC-MOSの構造を示す図であり、第1図はソースおよびドレインを深く形成したC-MOSの断面図、第2図はソース・ドレインを浅く形成したC-MOSの断面図、第3図および第4図はSOS/C-MOSの構造を示す図であり、第3図はソース・ドレインを深く形成したSOS/C-MOSの断面図、第4図はソース・ドレインを浅く形成したSOS/C-MOSの断面図、第5図(a)～(b)はソース・ドレインをチャンネル領域近傍では浅く、チャンネル領域から離れた部分では深く形成したSOS/C-MOSの従来の製造工程を示す断面図、第6図(A)～(I)は本発明をBOS/C-MOSの製造に適用した1実施例における製造工程を示す断面図である。

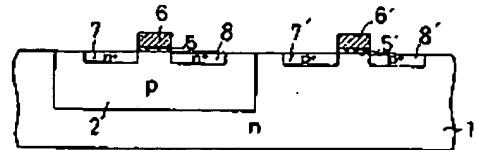
11…サファイア基板、12…ワーフルド酸化膜、13…電子領域、14…SiO<sub>2</sub>膜、15、<sup>15'</sup>…ゲート電極、16、<sup>16'</sup>…レジスト

28

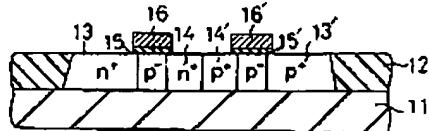
第1図



第2図



第3図

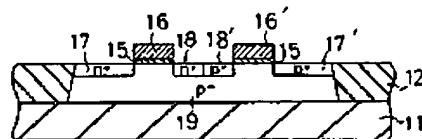


29

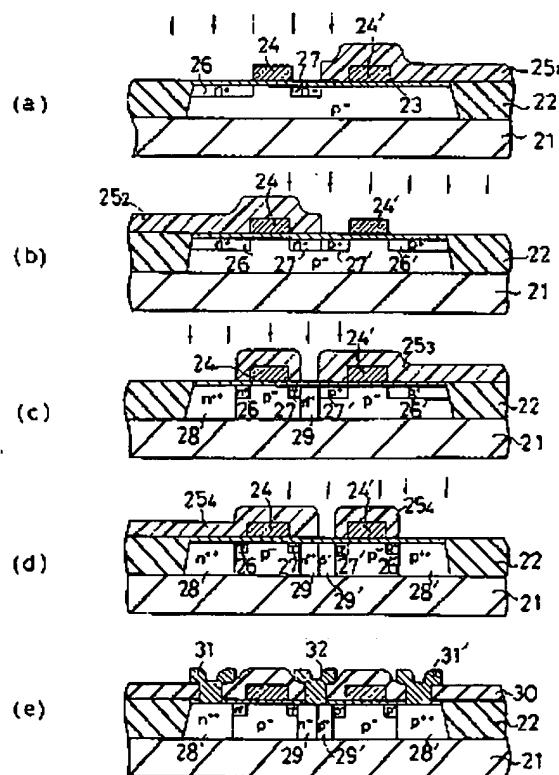
-326-

4160057-102067(9)

第4図



第5図



特開昭57-102067 (10)

